



Tokyo Tech

ALDで絶縁膜を形成したMOSFETについて ～ III-V族系を中心として～

東京工業大学 工学院 電気電子系

後藤高寛



東工大の成膜支援

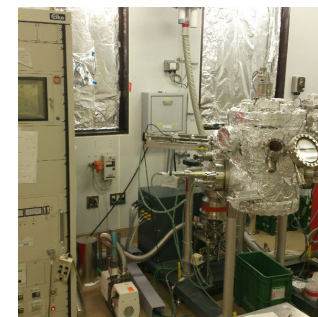
MOVPEによる
化合物半導体製膜
大陽日酸 HR-3246



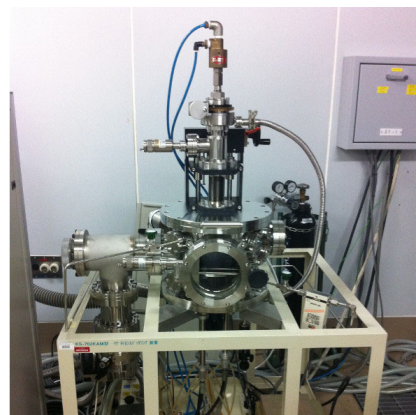
ALDによる絶縁膜支援
Ultratech製 Fiji F200



高真空蒸着装置による
金属製膜



スパッタ装置による
金属/絶縁体製膜



プラズマCVDによる製膜支援
PD-100ST/Multiplex-CVD





東工大のエッチング・貼り付け・観察他

RIE Samco ICP-101RF & RIE-10NR

基板貼り付け(アユミ工業)
& ウェハ洗浄 (EVG301)



SEM (S5200) と
FIB/SEM デュアルビーム装置(JIB-4501)

低真空SEMとデジタル顕微鏡
(キーエンス)



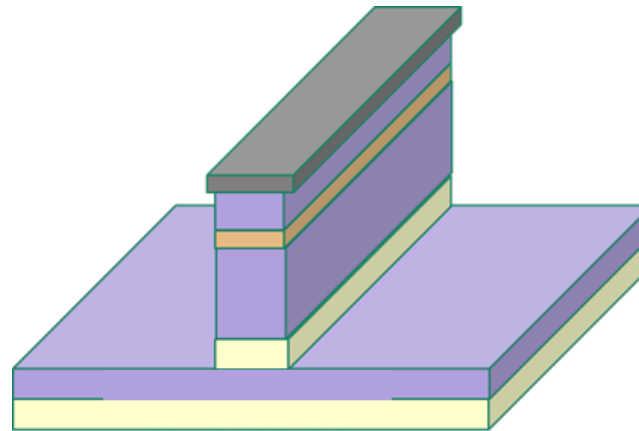
他に段差計・ダイシングソー、X線回折装置、顕微PL、
化合物半導体用酸化炉、光導波路評価装置、CVプロファイラなども共用化



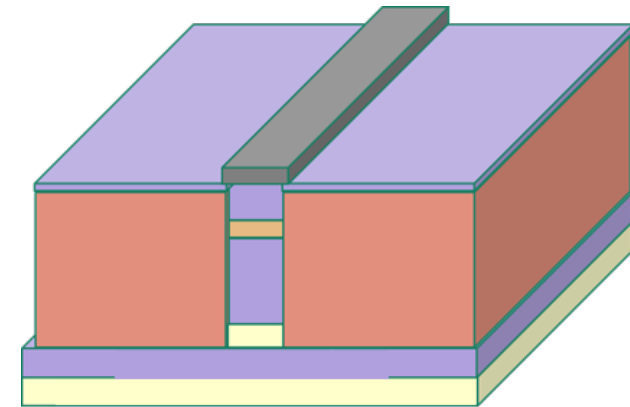
- ✓ 単層InGaAsナノシートチャンネル
- ✓ MOCVD法による再成長 n⁺⁺-InGaAs ソース・ドレイン
- ✓ High-k ゲート絶縁膜 (HfO₂ 10 nm / Al₂O₃ 0.3 nm)
- ✓ チャンネル層 : 100~200 nm

InP Cap	20 nm
InGaAs Sacrifice	10 nm
InP Sacrifice	20 nm
InGaAs Channel	10 nm
InP Sacrifice	50 nm
InAlAs Etch stop	10 nm
InP Epi. Template	50 nm
InAlAs Barrier	300 nm

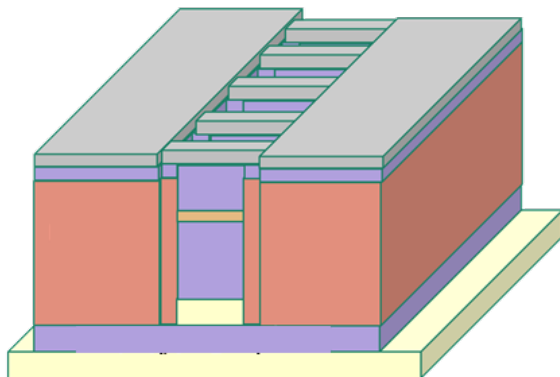
Epitaxial structure



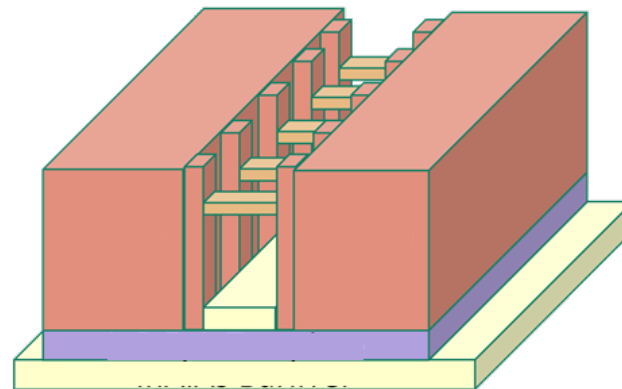
1. Definition of intrinsic L_{ch}
 CH_4/H_2 RIE (HSQ mask)
 Undercut wet etching



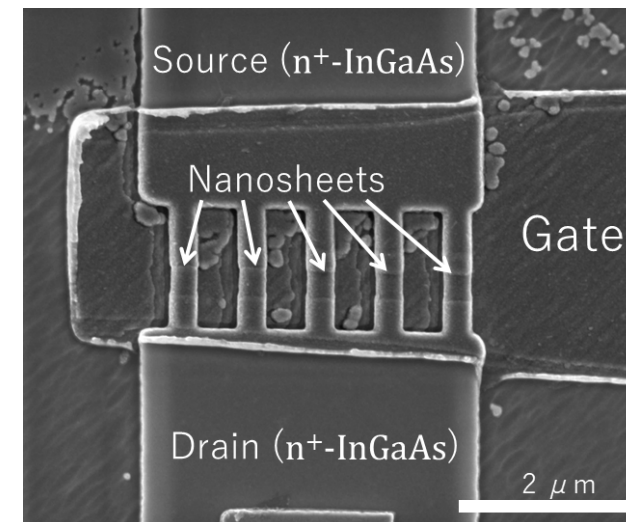
2. S/D regrowth
 MOCVD
 580°C



3. Definition of W_{ch}
 EB Lithography
 SiO_2 Etch (CF_4 RIE)
 III-V Etch (CH_4/H_2 RIE)

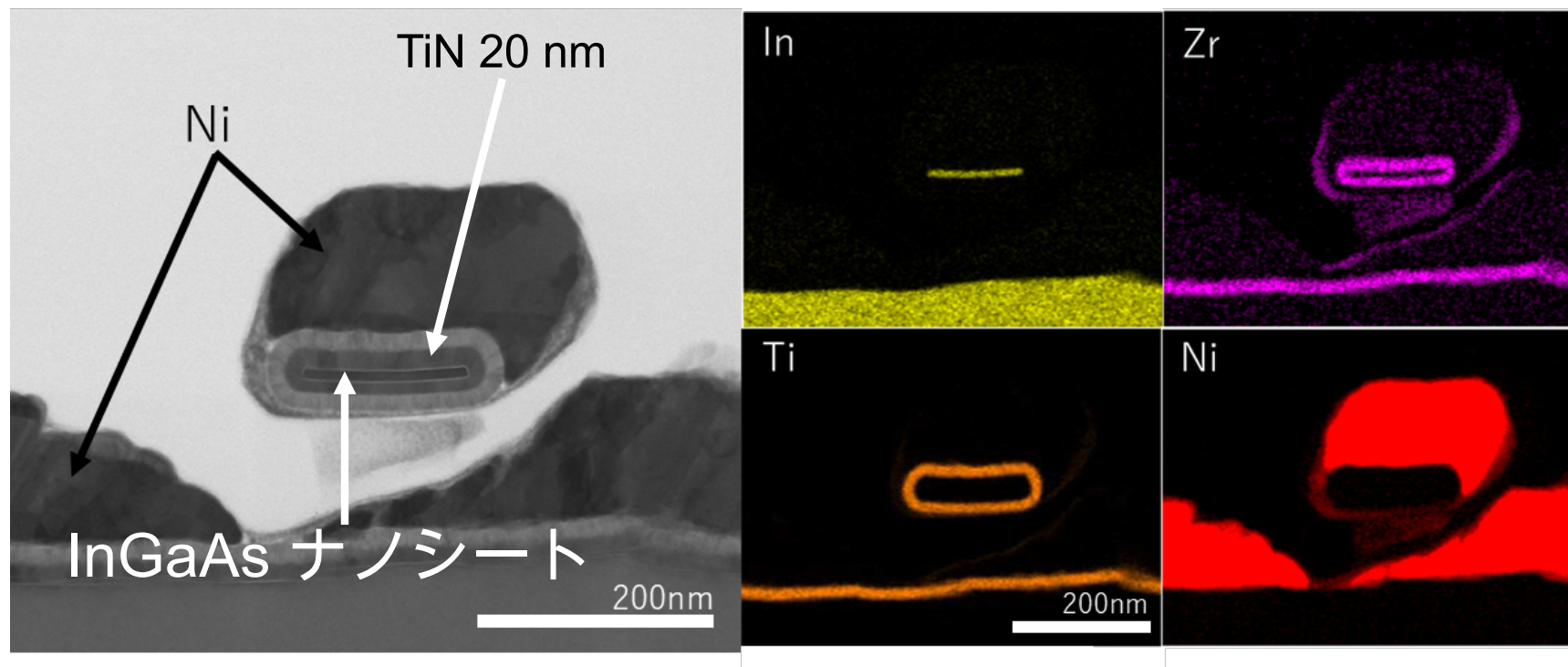


4. Channel Release
 Removal of sacrificial InP
 $HCl:H_3PO_4:CH_3COOH = 1:1:2$



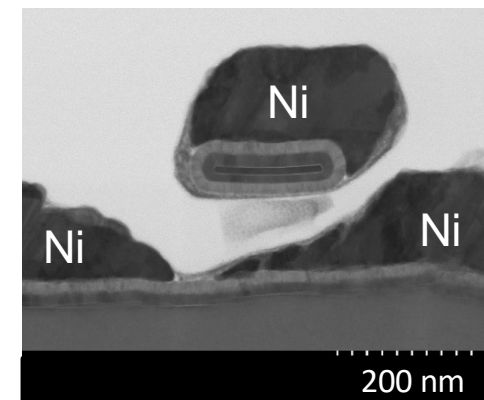
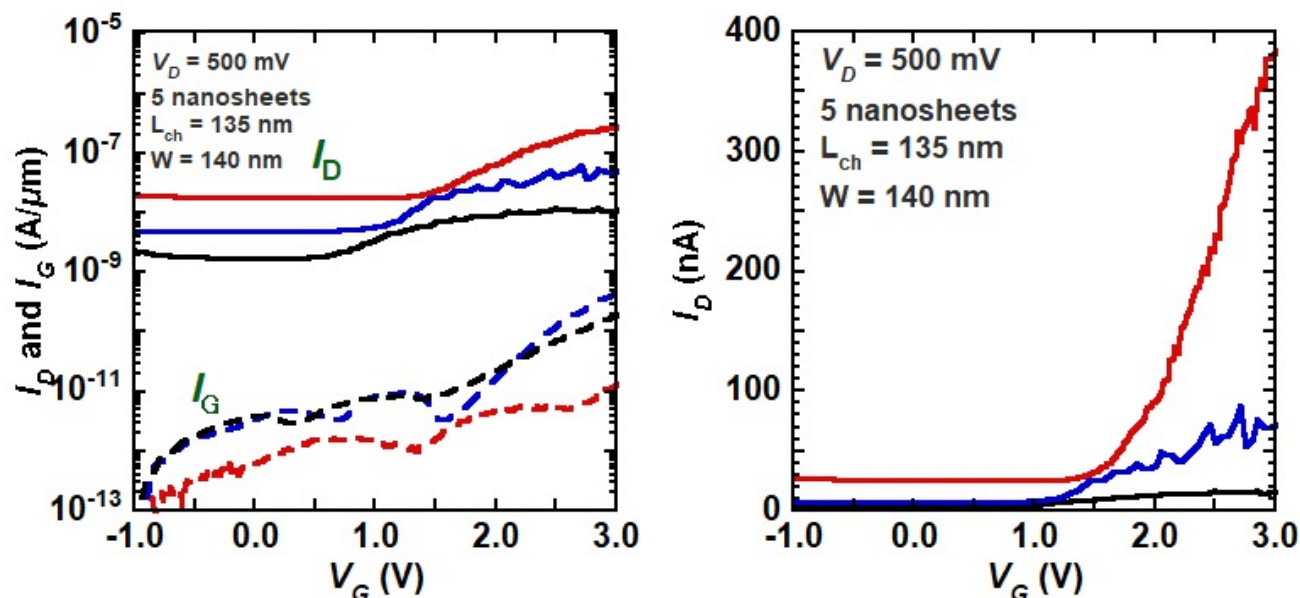
Top view SEM image

作製したナノシートMOSFETの断面TEM像およびEDX分析結果

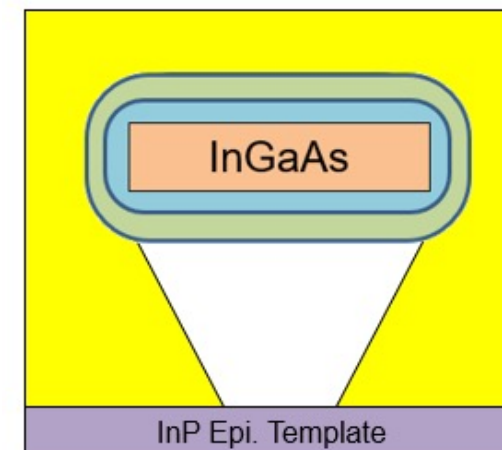


- ✓ 10 nm ナノシート InGaAs チャンネル層の形成を確認
- ✓ 東工大所有ALDで成膜した絶縁膜(ZrO_2)がチャンネル層を覆っていることを確認
- ✓ 産総研所有 ALDで成膜したTiNがチャンネル層を覆っていることを確認
- ✓ Niゲート電極は上層部のみ蒸着されていることが分かった

作製したナノシートMOSFETの電気特性

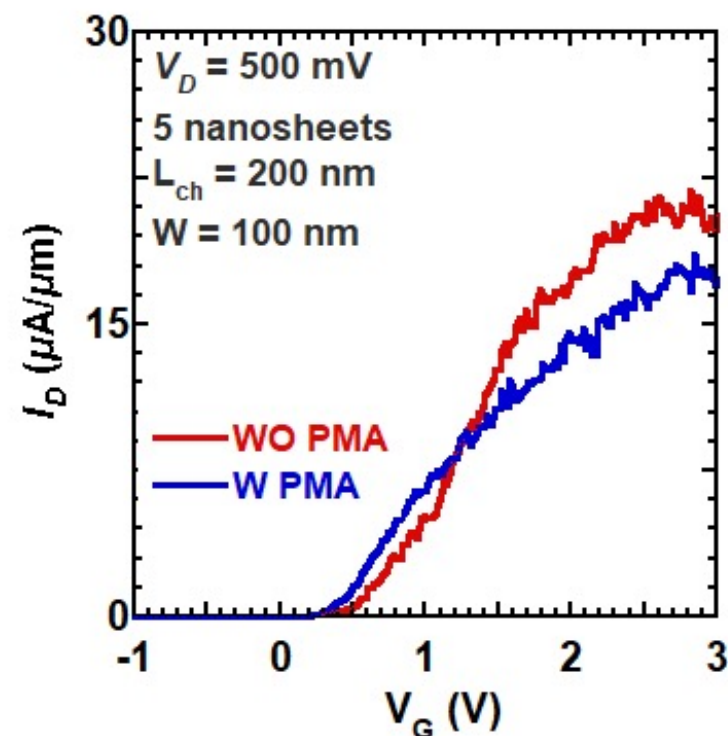
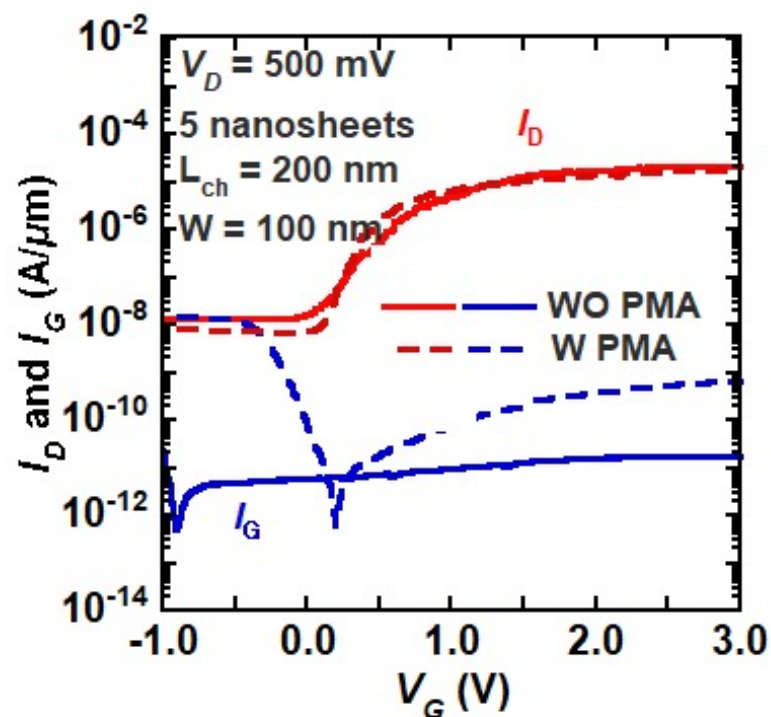


	I_D [$\mu\text{A}/\mu\text{m}$] @ $V_G - V_{th} = 0.5\text{V}$	SS [mV/dec]
W/O adding Ni	0.0049 (@ $V_G = 1.2\text{V}$)	1300
Adding Ni	0.019 (@ $V_G = 1.5\text{V}$)	940
Adding Ni & PMA	0.038 (@ $V_G = 1.7\text{V}$)	810



- ✓ ナノシートInGaAs MOSFETの動作を確認
- ✓ Ni電極がチャネル層の下部には蒸着されていないことから更なる改善が必要

ゲート電極を斜め蒸着で作製したナノシートMOSFETの電気特性



- ✓ チャネル下部にNiが蒸着されるように複数回にわたって斜め蒸着をすることで特性が改善
- ✓ PMAを施すことでSS値が230mV/decから130mV/decに改善
- ✓ 一方、オン電流は8.4 $\mu\text{A}/\mu\text{m}$ から 5.9 $\mu\text{A}/\mu\text{m}$ に劣化した