

# シリコン量子ビット作製と大規模集積化に向けた 電子線リソグラフィ技術

加藤 公彦

国立研究開発法人 産業技術総合研究所  
デバイス技術研究部門  
先端CMOS技術研究グループ

# 自己紹介

加藤 公彦 博士(工学)

国立研究開発法人 産業技術総合研究所  
デバイス技術研究部門 先端CMOS研究グループ  
研究員



-2013: 名古屋大学 大学院工学研究科

2014-2016: カリフォルニア大学バークレー校(学振海外特別研究員)

2016-2019: 東京大学 大学院工学系研究科(ポスドク)

2019- : 産業技術総合研究所

- (学位論文) Ge, GeSnチャネル新材料トランジスタ. 絶縁膜/半導体界面制御
- MEMS/NEMSのメモリー応用
- トンネル電界効果トランジスタ. シリコン系, 新材料系(酸化物半導体).
- シリコン量子コンピュータ

# アウトライン

- シリコン量子の研究動向
- 高密度シリコン量子素子に向けた電子線描画技術開発
  - ネガレジストを用いた微細パターン形成技術
  - 物理形成型量子ドット素子の作製
  - プロセスシミュレーション
- 最近の取り組み

# 量子コンピュータ開発の活発化

## 2011年 カナダD-Wave社による量子アニーリングマシン市販開始



超伝導型磁束量子ビットを基本素子とする  
2018年現在, 2048量子ビットを集積

問題によっては対スパコン比1/100程度の計算時間  
消費電力も1/100程度

## 2013年～ IT Giantsの開発参入



Microsoft



ゲート型量子コンピュータの開発 超伝導型量子ビットが中心

## 2015年 Intelの開発参入

オランダ・デルフト工科大学との開発アライアンスを締結  
100億円／10年の巨額投資

超伝導型およびシリコン型量子ビットを基本素子として開発

# シリコン・量伝導・イオントラップ

	シリコン	超伝導	イオントラップ
量子ビットサイズ	< 100 nm 😊	> 10 μm	1~10 μm
最大集積度	> M Bits 😊	~ k Bits	~ k Bits
動作温度	< 10 K 😊	~ 10 mK	10~300 K 😊
現在の集積数	3 (理研 2021) 6 (デルフト, HRL 2022)	127 (ゲート型) 😊	22
2ビット演算	最近接	最近接	任意の2ビット 😊

## 1st Si QPU

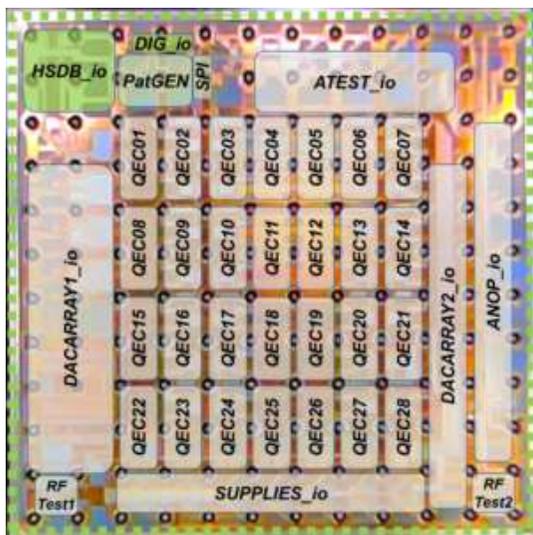


Photo: Equal1 HP

## IBM Quantum Falcon

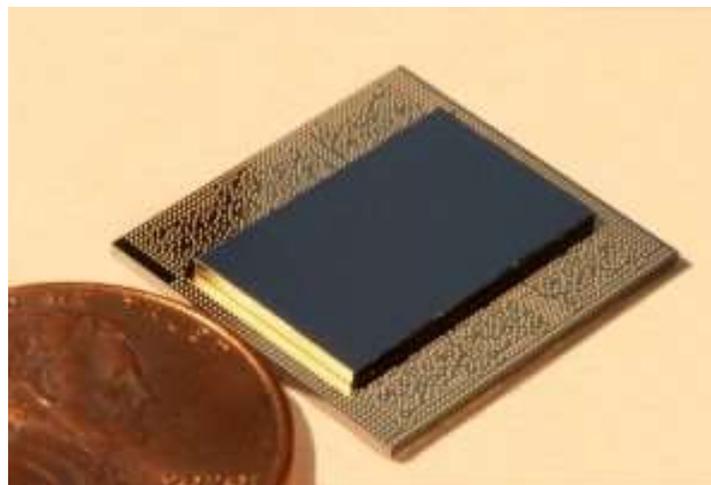


Photo: IBM HP

## IonQ 集積化モジュール

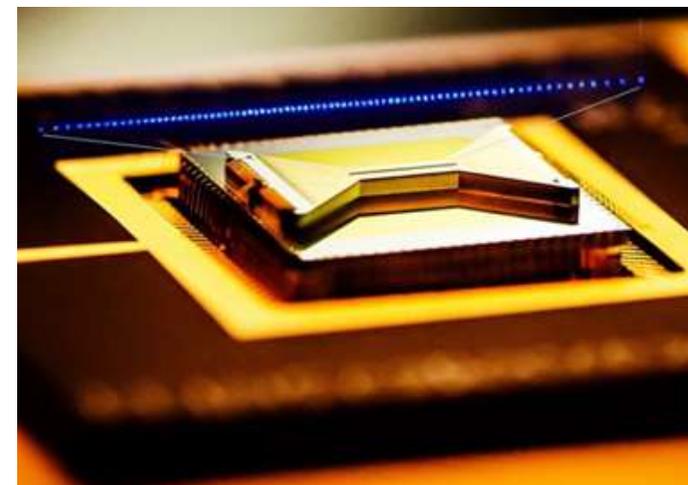
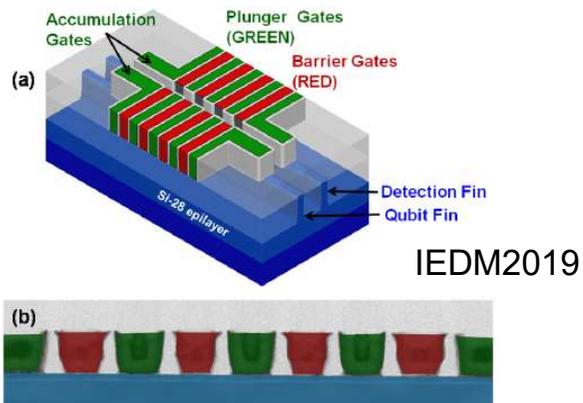


Photo: IonQ HP

# Intel/imec/letiの動向

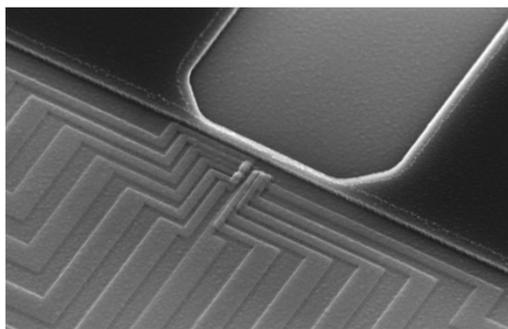
## Intel

FinFETプロセスを応用した  
量子ドットアレイの試作



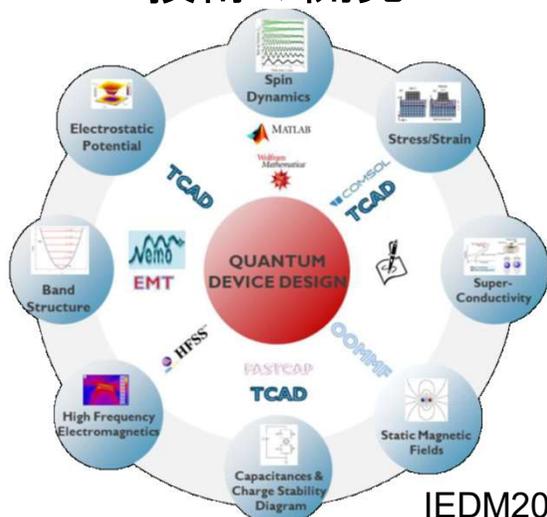
## imec

旧来研究で用いられてきた  
ゲート定義型量子ビットの試作



imec-leti WS 2019

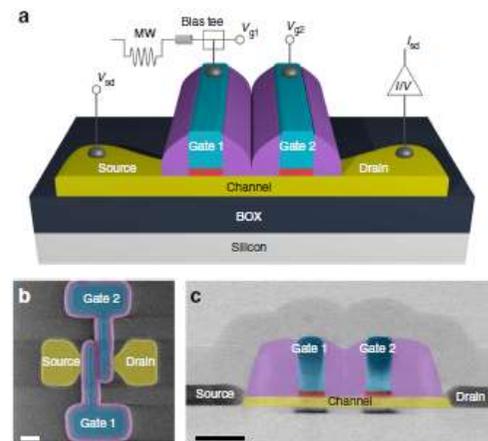
デバイスシミュレーション  
技術の開発



IEDM2019

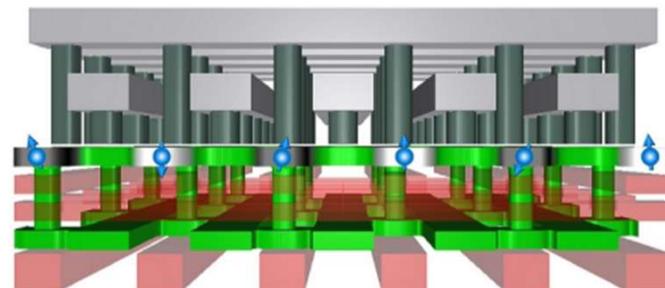
## leti

SOI-MOSFETをベースに  
量子ビット技術を開発



Nat Commun 2016

最終的な集積構造の提案  
同構造を意識した開発



Leti HPより

300mmウエハの低温評価を  
実現する装置の開発



Bluefors社HPより

# Equal1社のシリコン量子コンピュータ

## Equal1社

本拠地: アイルランド → アメリカ・カリフォルニアに移転  
シリコン量子コンピュータを開発するベンチャー企業

### 1st Si QPU

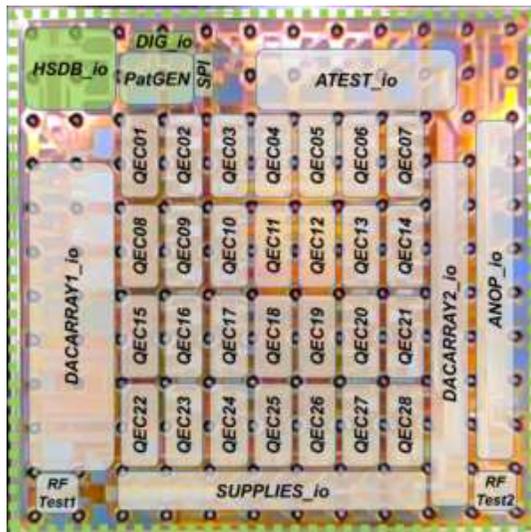


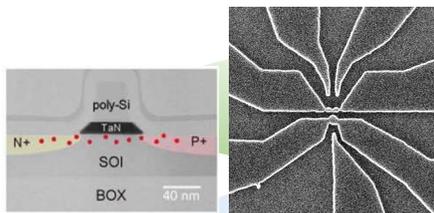
Photo: Equal1 HP

- 量子回路と制御回路とをワンチップ集積し3.7Kで動作
- 動作したビット数は3個
- 電荷量子ビットを採用
- 作製はFDSOI型MOSFET 22nmノードの技術
- 製造はGlobal Foundriesに委託

2021/5/13 プレス発表より

# 産総研での研究開発 (Q-LEAP, CREST, NEDO)

シリコン量子代表: 森 貴洋



新規素子・プロセス開発

大規模試作 (300mmライン)

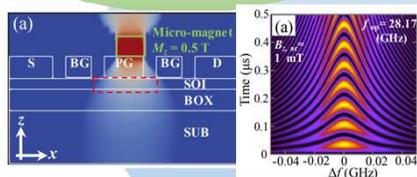
TCAD

## 量子計算機System-on-a-Chip (Q-SoC)

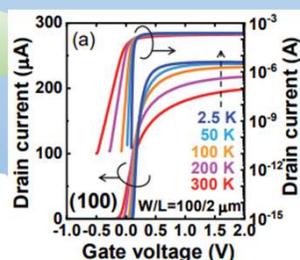


1チップに量子回路・制御回路を集積

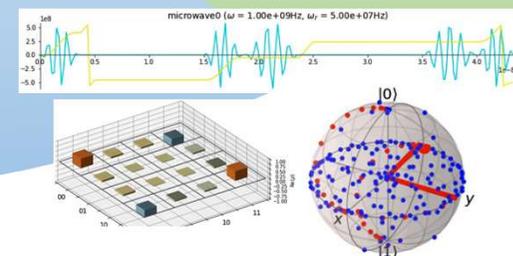
回路・アーキテクチャ



デバイス物理



クライオCMOS



共同研究



東京工業大



理研



帝京大



東京電機大



名古屋大



東京大

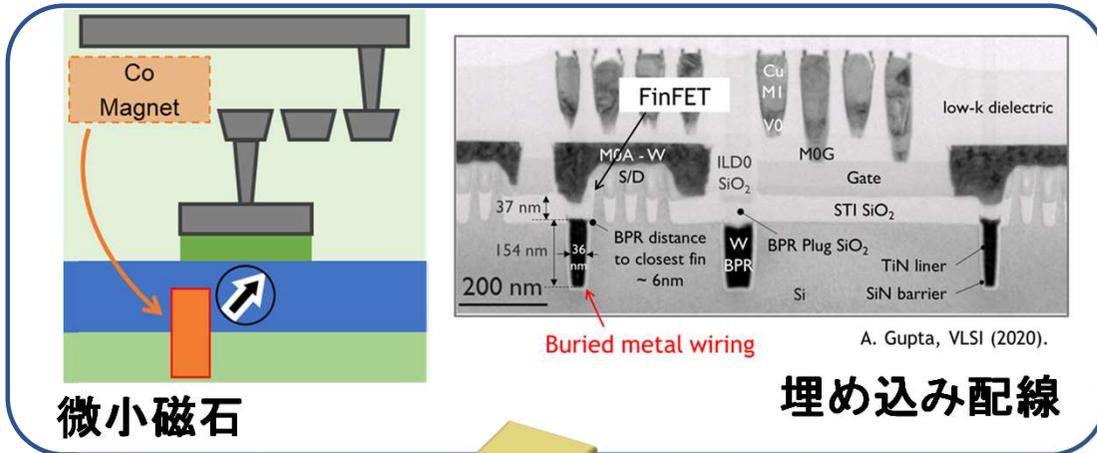


金沢工業大

# 100万ビット集積に向けた集積構造設計

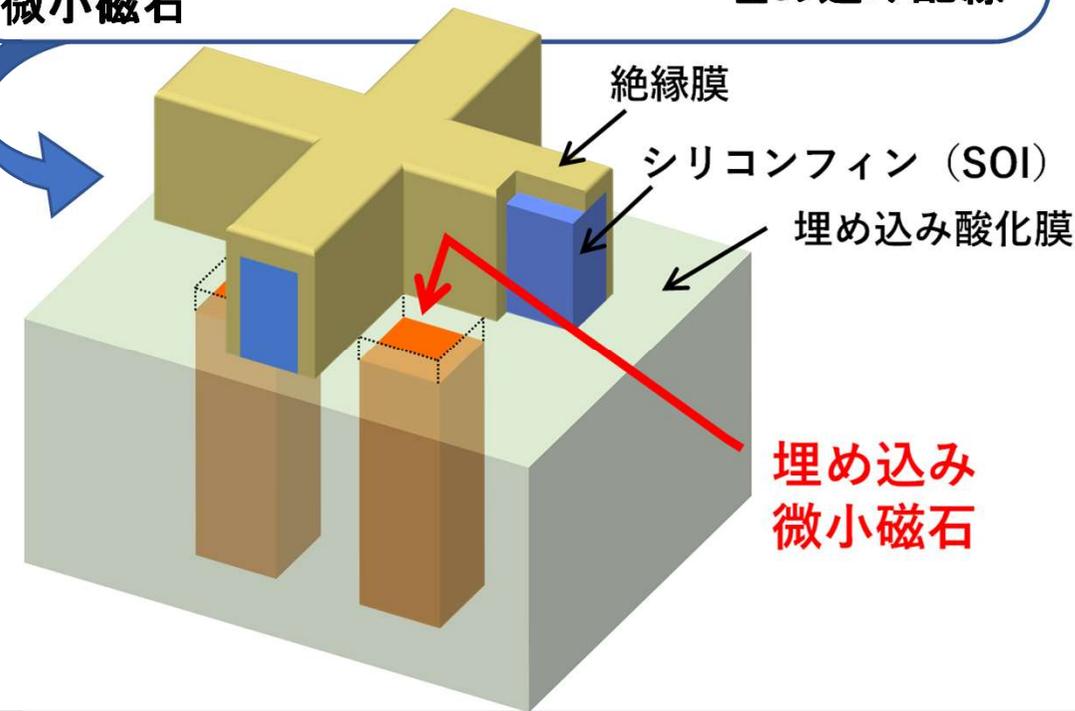
集積とは…… 動作物を1箇所にも多数形成し、同時に正しく動作させること

全ビットが99%以上の忠実度で動作

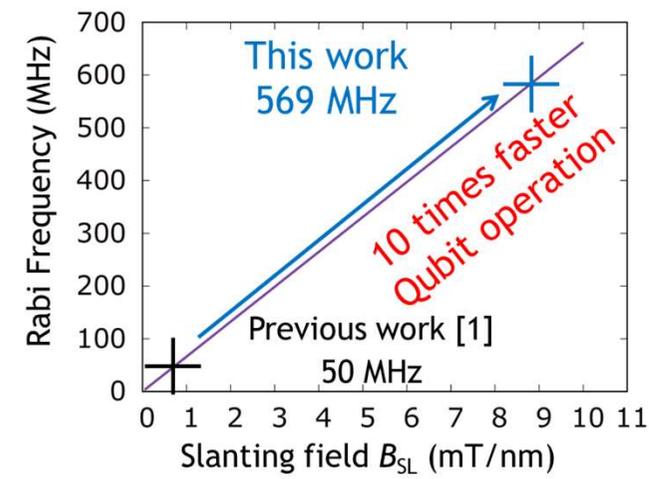


微小磁石

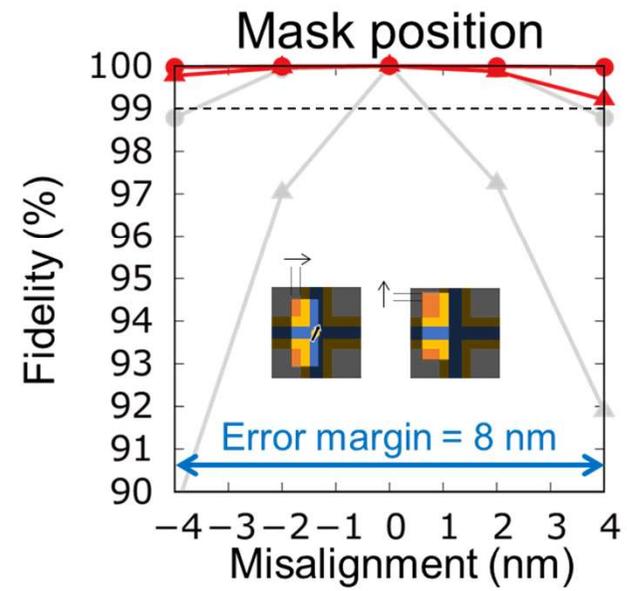
埋め込み配線



埋め込み微小磁石



ビット-磁石を近づけ、高速動作を実現可能



自己整合プロセスによる高い位置ずれ耐性

Fin LWRの低減は強く求められる

# リソグラフィ技術の選択肢

	EUVリソグラフィ	電子線リソグラフィ
最小線幅	13nm	10~30nm ?
重ね精度	1.5nm (? $\sigma$ )	15nm (3 $\sigma$ )
コスト・利用容易性	☹️	😊
マスプロダクション	😊 ※量子はマスプロ ?	☹️ ※少量生産は可能
レジストタイプ	ポジ	ネガ (量子ビット) ポジ (配線)

量子チップ製造は、現段階ではマスプロとなる可能性は高くない  
(ただしこれは現代コンピュータでも1950年代に言われていたこと)

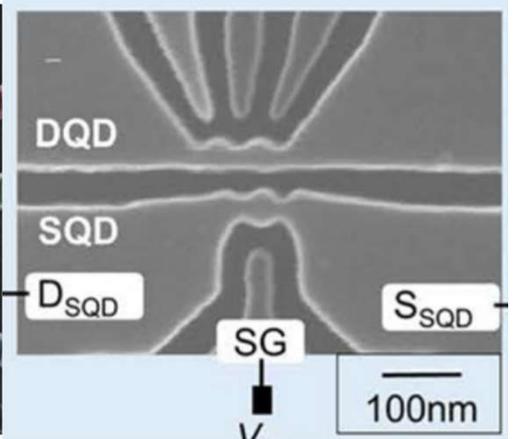
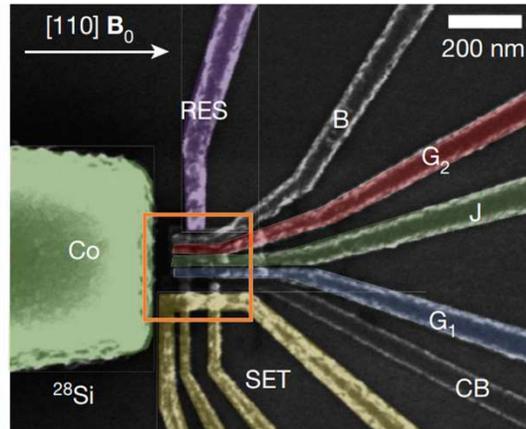
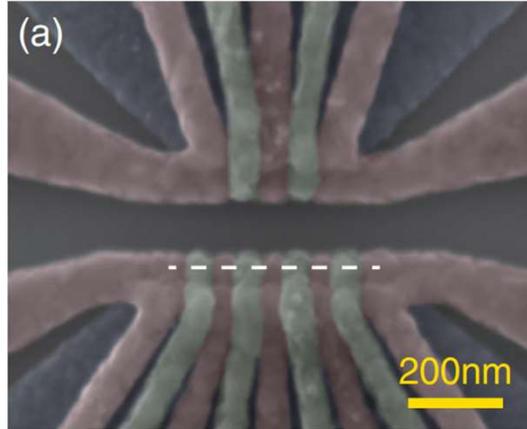
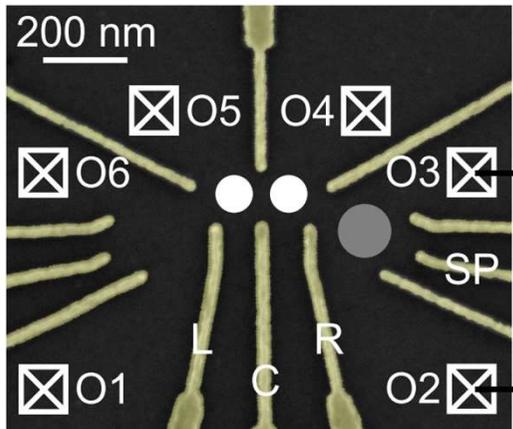
現段階では電子線リソグラフィを軸に置いたプロセス開発が正攻法  
今後も少量生産まで電子線が軸となる可能性が高い

電子線レジストについては、ポジ(配線用)はEUVと共通化?  
ネガ(量子ビット部用)は別途必要であり、プロセス開発も必要

# アウトライン

- シリコン量子の研究動向
- 高密度シリコン量子素子に向けた電子線描画技術開発
  - ネガレジストを用いた微細パターン形成技術
  - 物理形成型量子ドット素子の作製
  - プロセスシミュレーション
- 最近の取り組み

# 様々なシリコン量子ビット素子構造



A. Noiri *et al.*,  
Nano Lett. **20**, 947 (2020).

K. Takeda *et al.*,  
PRL **124**, 117701 (2020).

C. H. Yang *et al.*,  
Nature **580**, 350 (2020).

N. Shimatani *et al.*,  
APL **117**, 094001 (2020).

- 提案素子構造は多種多様. 曲線・集合細線・ドットなど様々な形状を活用
- 動作実証や性能評価などの素子作製・デモンストレーションを繰り返すフェーズ
- 近い将来, 素子を高密度集積した研究にシフトしていく必要あり(ビット間結合など)

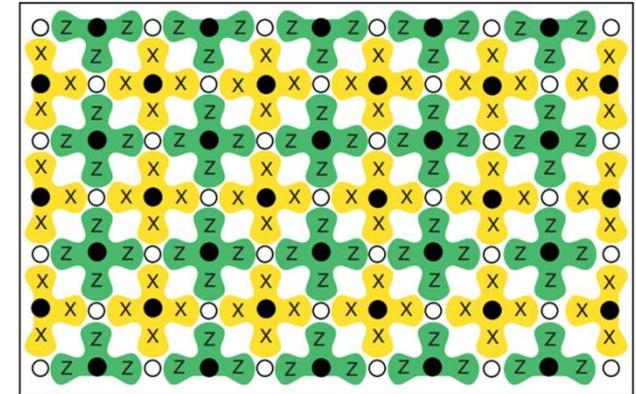
➤ 様々な形状や密度に対応可能な, 自由度の高いリソグラフィ技術が必要不可欠

# 電子線リソグラフィによる微細加工

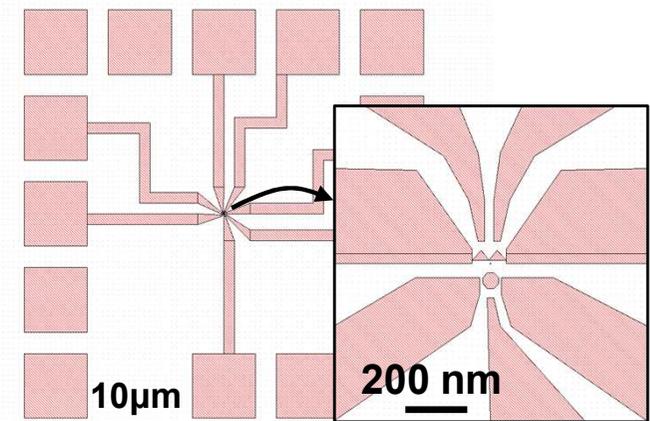
## 量子ビット集積回路の研究開発～初期プロダクション

### 近接効果補正 (PEC)

- レジスト内や基板内での電子の散乱を考慮し、描画レイアウトやドーズ分布を補正
- 描画密度が高くなるにつれ重要性はより増大
  - 大規模集積回路
  - 研究開発現場：
    - 微細パターンだけでなく、フォトリソ併用のための長距離配線や大面積コンタクト



例：表面符号に向けた素子の二次元配置  
G. Austin et al., PRA **86**, 032324 (2012).



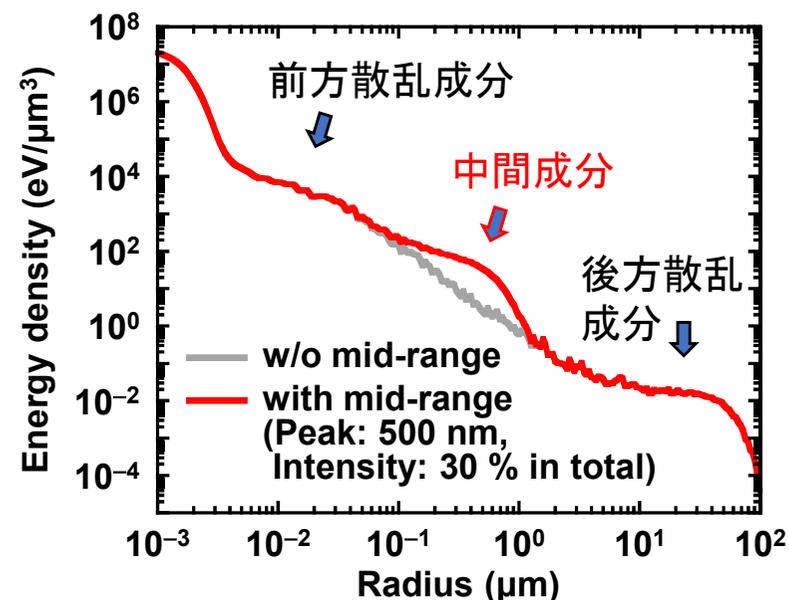
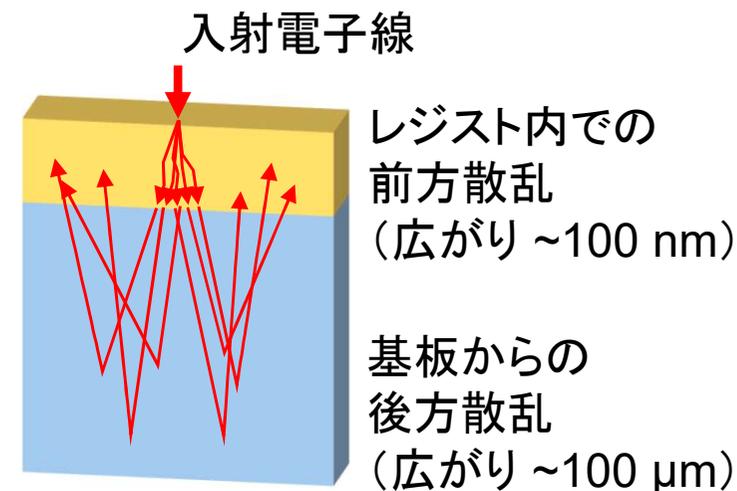
東工大小寺研究室

# 近接効果補正 (PEC) における散乱成分

- 前方散乱: レジスト内, 短距離 (~100 nm)
- 後方散乱: 基板内, 長距離 (~100  $\mu\text{m}$ )  
 ... PECにおける主要成分であり, モンテカルロシミュレーションにより予測可能

## ■ 中間成分:

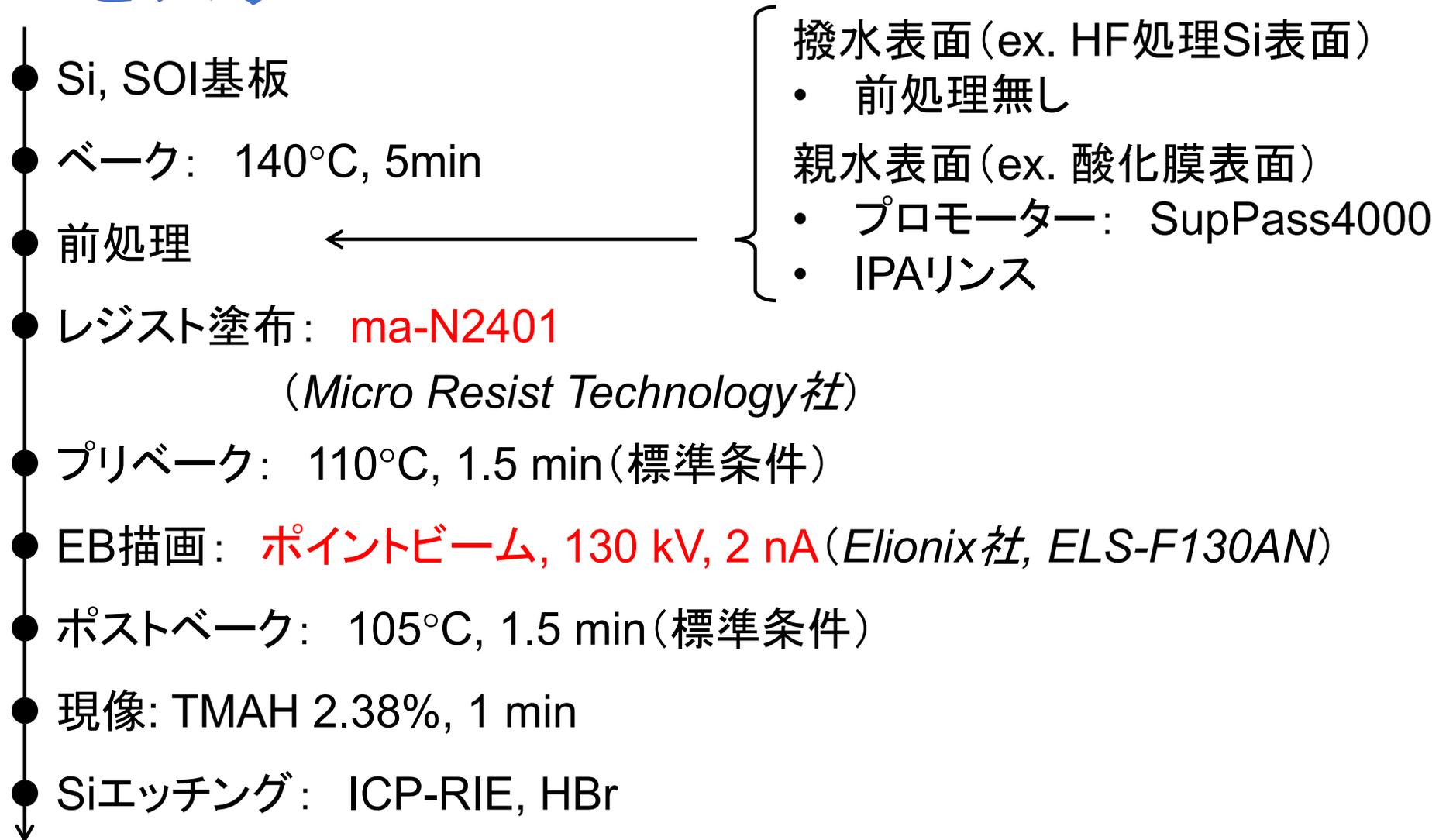
- 近年重要性が認識されつつある  
*M. Eissa et al., JJAP 59 126502 (2020).*
- レジスト中の電子・イオンの生成や拡散など, 化学的な成分が関係?  
*B. Cord et al., J. Vac. Sci. Technol. B. 27, 2616 (2009).*  
*N. Sakamoto et al., JAP 54, 3855 (1983).*
- 中間成分の存在が描画プロセスに与える影響も十分に議論されていない



# 本研究の目的

- シリコン量子の研究動向
- 高密度シリコン量子素子に向けた電子線描画技術開発
  - ネガレジストを用いた微細パターン形成技術
  - 物理形成型量子ドット素子の作製
  - プロセスシミュレーション
- 最近の取り組み

# プロセスフロー



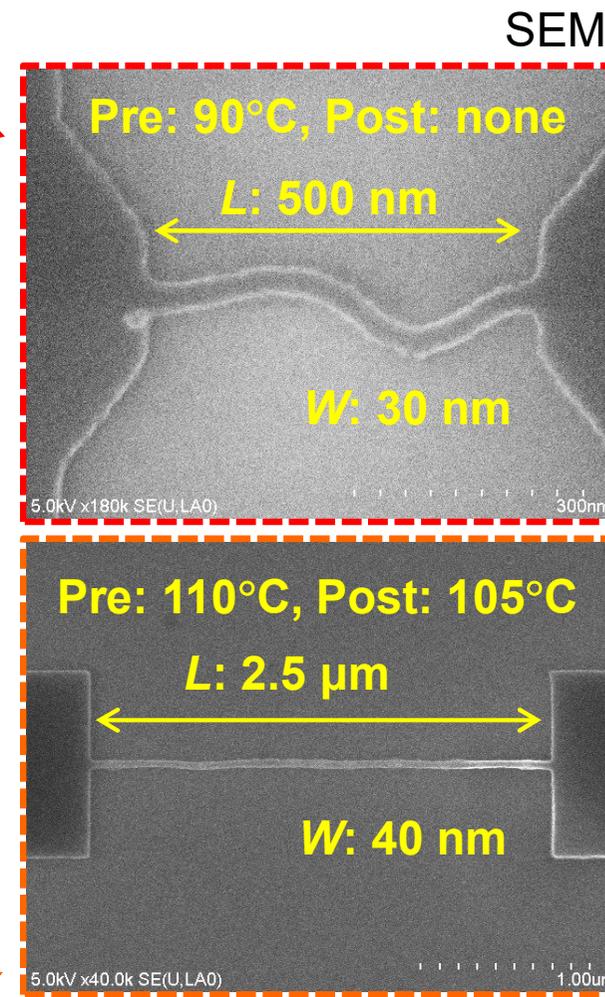
- 点広がりに関数のモンテカルロシミュレーション: *TRACER* (Genlsys社)
- 近接効果補正, 描画シミュレーション: *BEAMER* (Genlsys社)

# ベーク温度最適化

## レジストパターン

光学顕微鏡		Post-bake temperature (°C)		
		w/o	100	110
Pre-bake temperature (°C)	90			
	100			
	110			

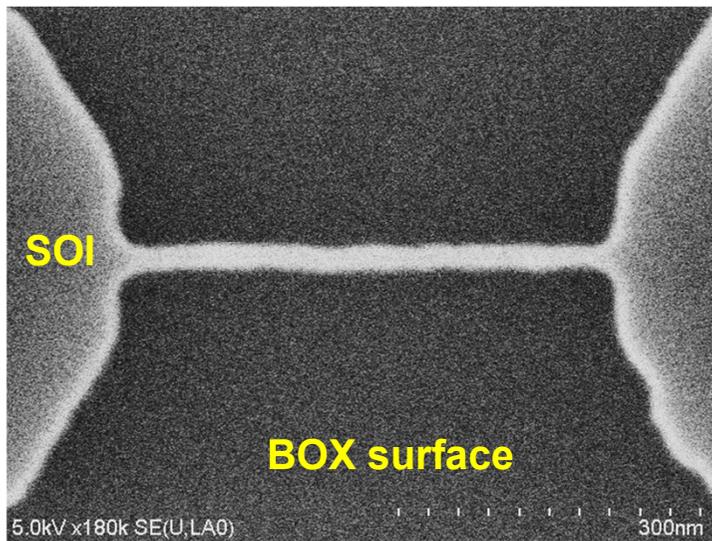
20 μm



- 微細加工に適したプリベーク／ポストベーク温度を調査

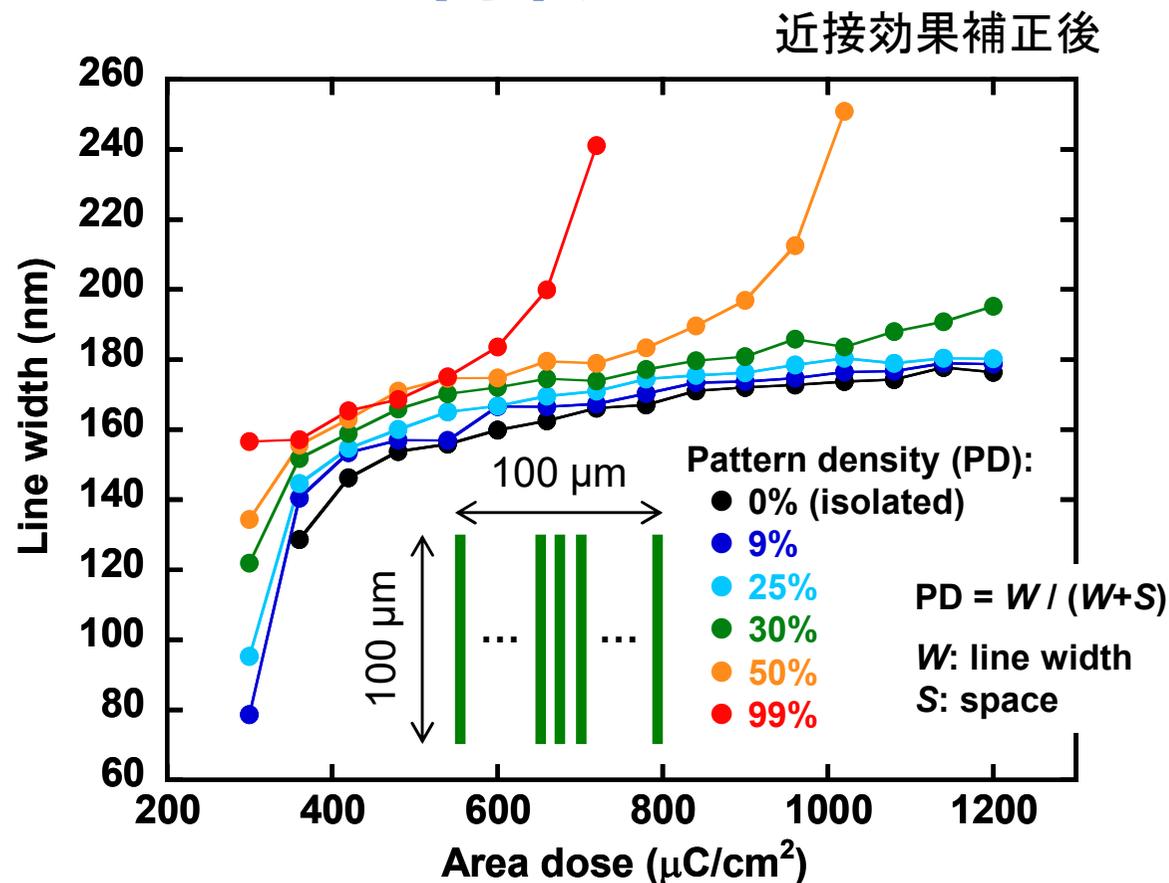
K. Kato *et al.*, Nanotechnol. **32**, 485301 (2021).

# maN-2401ネガレジストの特徴



SOI基板パターニング後

K. Kato *et al.*, *Nanotechnol.* **32**, 485301 (2021).



- 高解像度 (<20nm), 低LER ( $\sigma \sim 1.2\text{nm}$ )
  - 描画線幅はドーズに対し飽和
  - ただし, パターン密度が高い場合: 線幅再上昇
- } 微細加工には魅力的な特徴  
(孤立パターン形成難易度: 低)

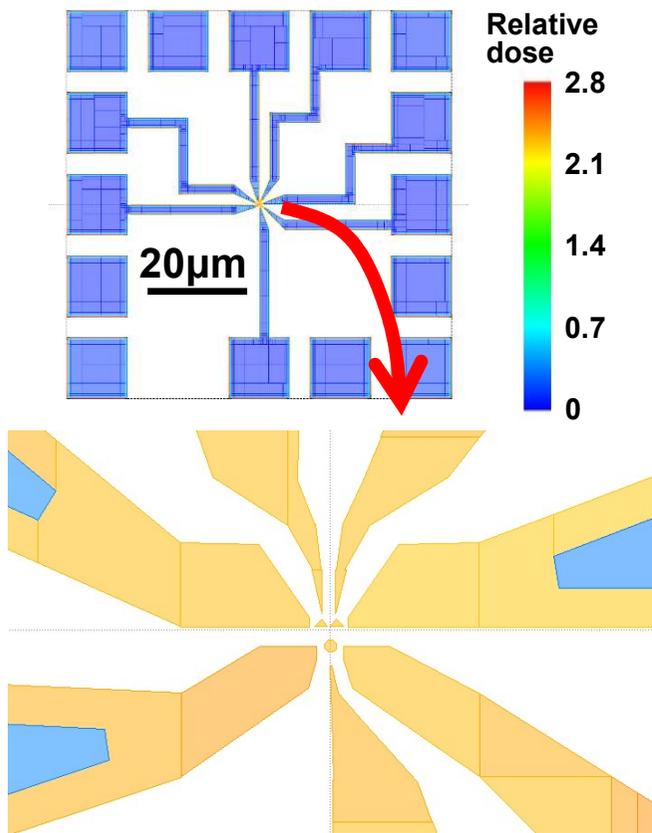
→ 従来PECでは考慮しきれいない中間成分が存在?

# 本研究の目的

- シリコン量子の研究動向
- 高密度シリコン量子素子に向けた電子線描画技術開発
  - ネガレジストを用いた微細パターン形成技術
  - 物理形成型量子ドット素子の作製
  - プロセスシミュレーション
- 最近の取り組み

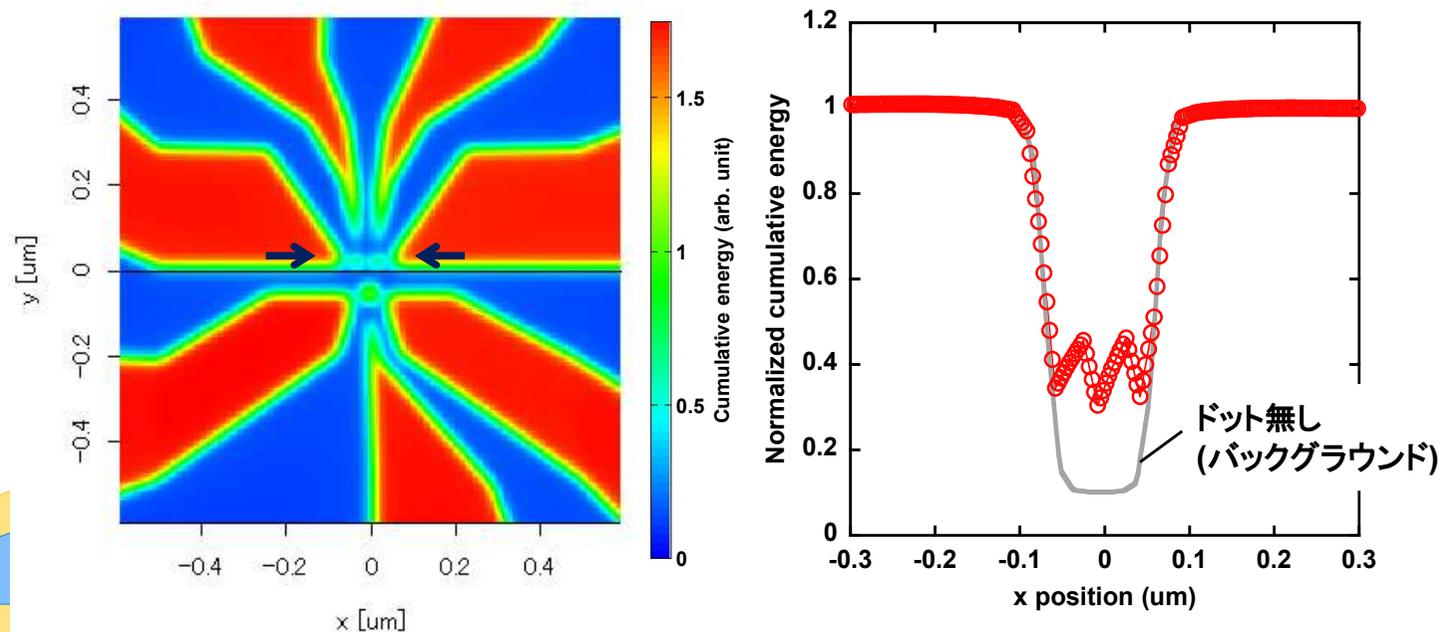
# 近接効果補正と累積エネルギー分布

PECのドーズ係数マップ



- Shape-PEC法
- エッジ: 高ドーズ係数
- BEAMER (Genlsys社)

累積エネルギー分布シミュレーション



- ドット領域は非常に狭く, 周囲の配線やコンタクトパッドが大部分を占める (←高密度集積も同様の状況)
- 後方散乱により大きなバックグラウンドを形成
- PECによりドット形成を実現しうる累積エネルギー分布. しかし, ドーズウィンドウが狭いことが予想される

(レイアウト案: 東工大小寺研究室)

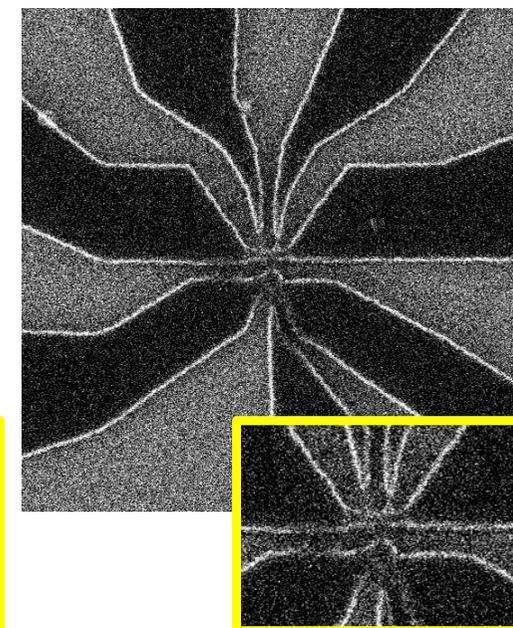
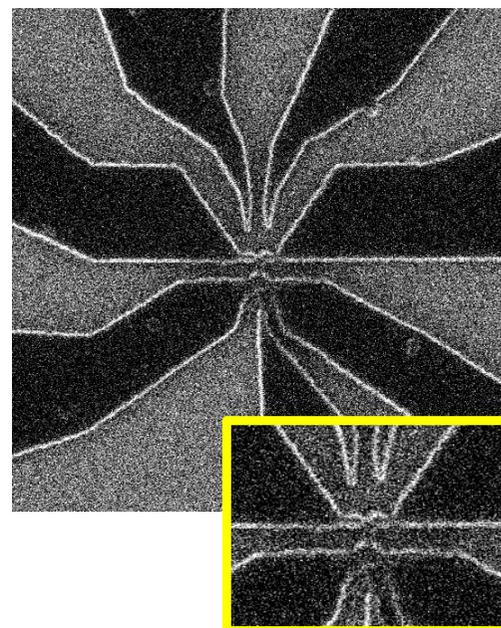
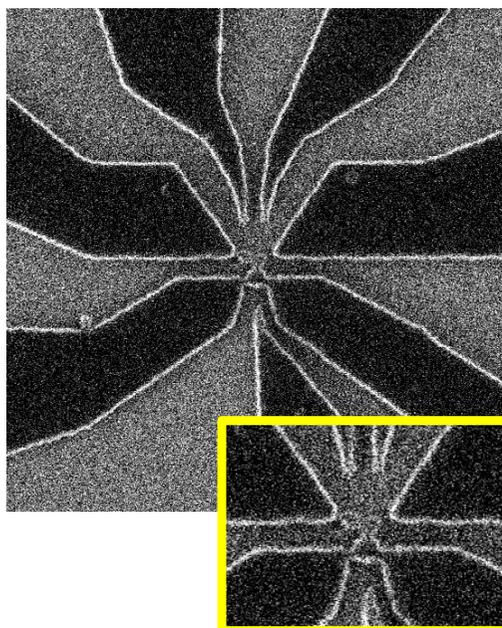
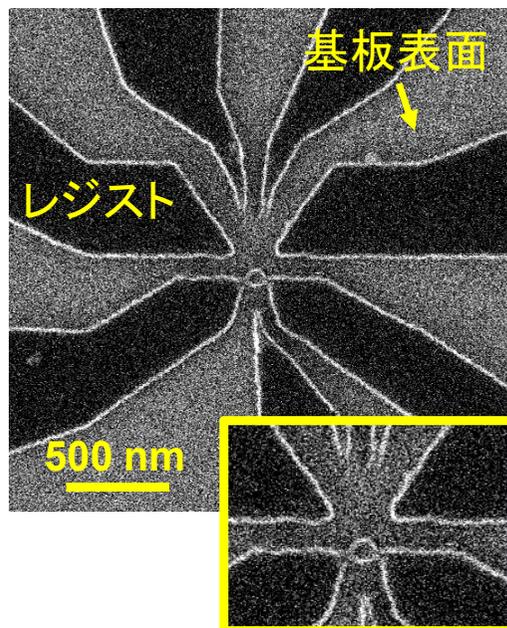
# 様々なベースドーズで描いたレジストパターン

ベースドーズ: 448  $\mu\text{C}/\text{cm}^2$

512  $\mu\text{C}/\text{cm}^2$

576  $\mu\text{C}/\text{cm}^2$

640  $\mu\text{C}/\text{cm}^2$



ドットが描けない,  
配線と結合していない



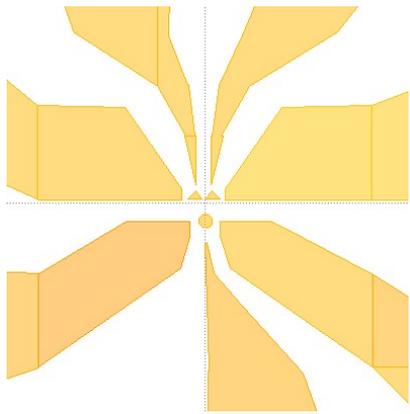
パターンのブリッジング

従来PECだけでは、十分なマージンを持ったドーズ条件は見つからない

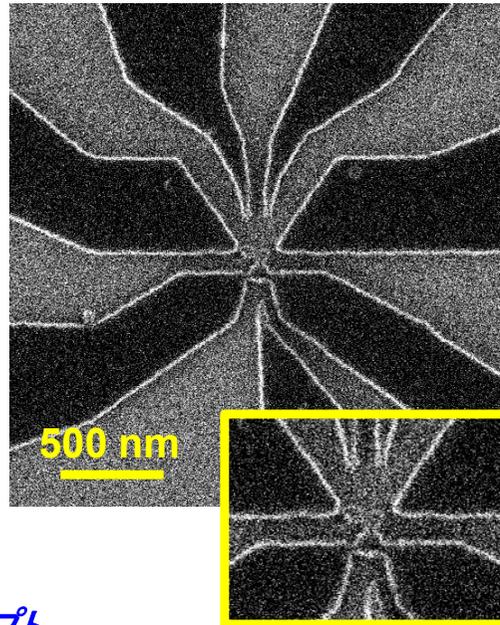
# ドット近傍のドーズ強調

レジストパターン

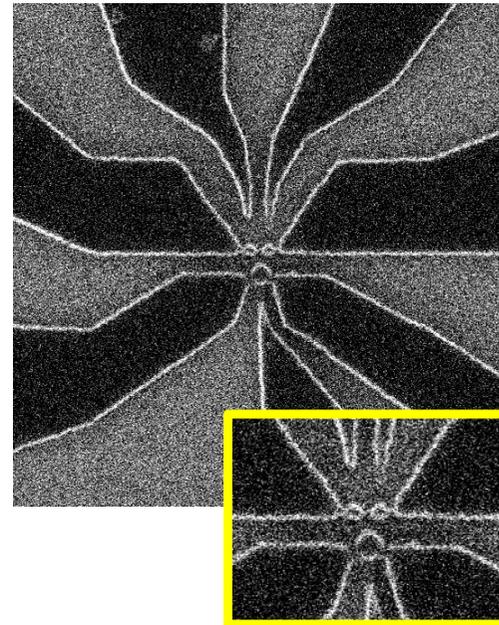
コンセプト: ドット部のみ意図的にドーズを強調し, プロセスウィンドウ増大  
レジストのドーズ鈍感性(ドーズに対しサイズが飽和)を利用



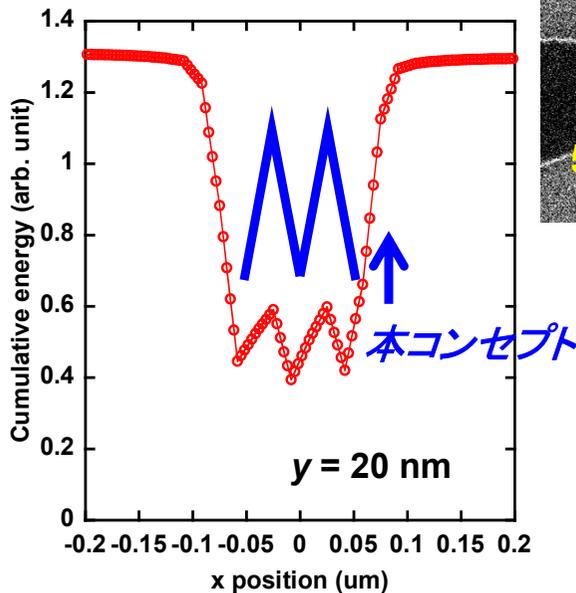
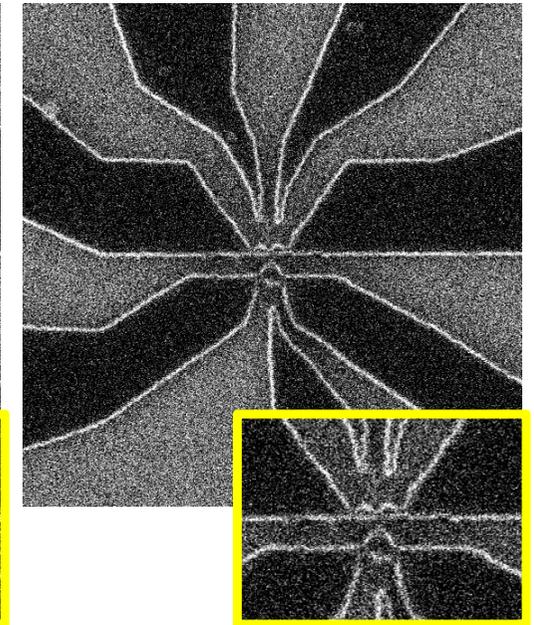
ドーズ強調無し



ドーズ強調25%



ベースドーズ: 512  $\mu\text{C}/\text{cm}^2$   
ドーズ強調50%



ドットが左右配線とつながった, 所望構造の形成に成功

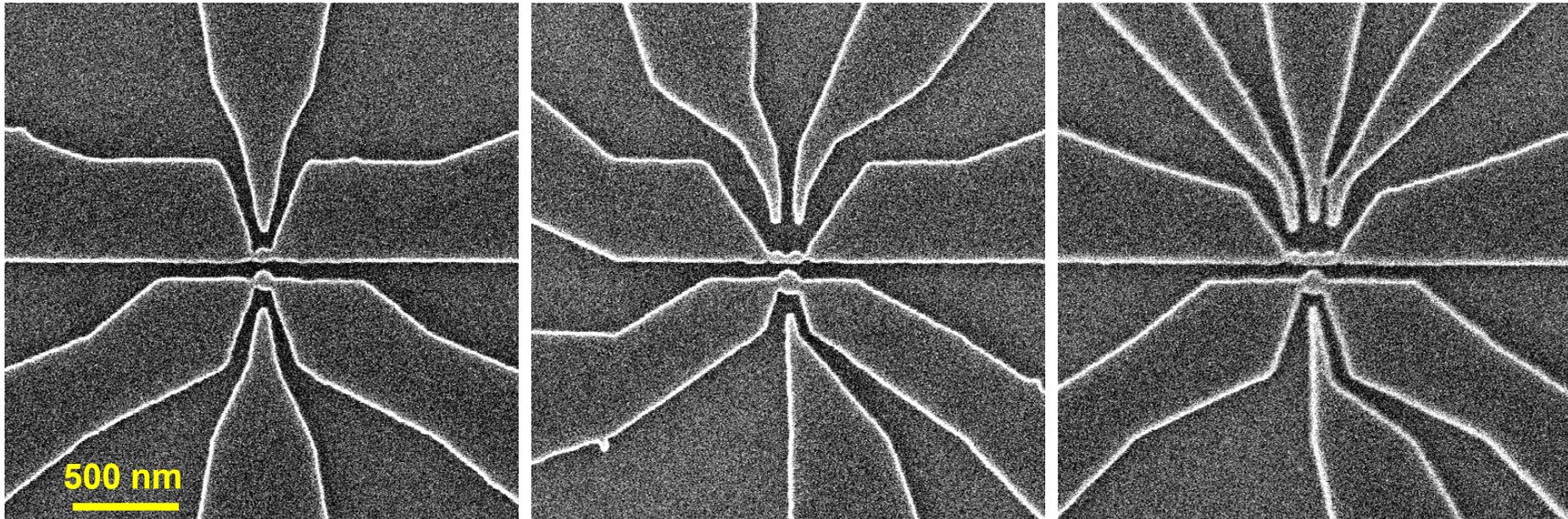
# 様々な構造の作製結果

SOIパターン

ベースドーズ: 448  $\mu\text{C}/\text{cm}^2$   
ドット部強調: 14%

ベースドーズ: 512  $\mu\text{C}/\text{cm}^2$   
ドット部強調: 50%

ベースドーズ: 512  $\mu\text{C}/\text{cm}^2$   
ドット部強調: 38%

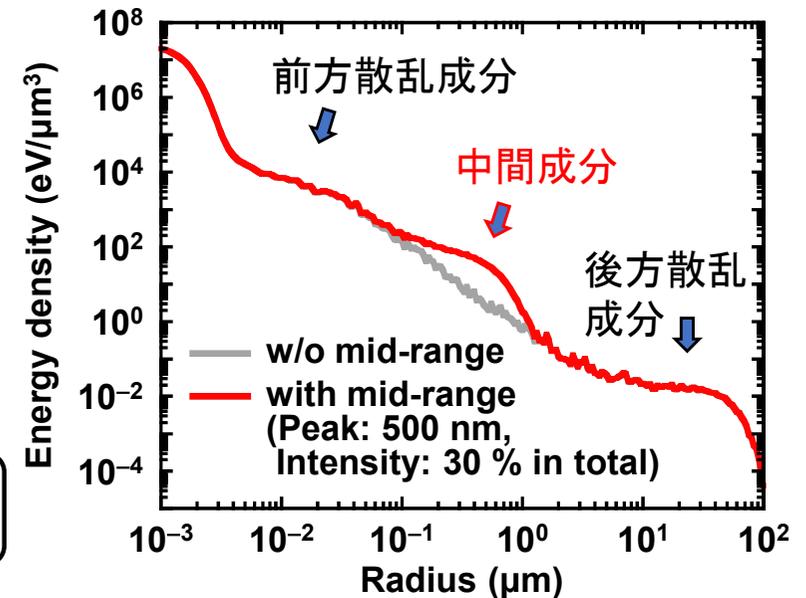
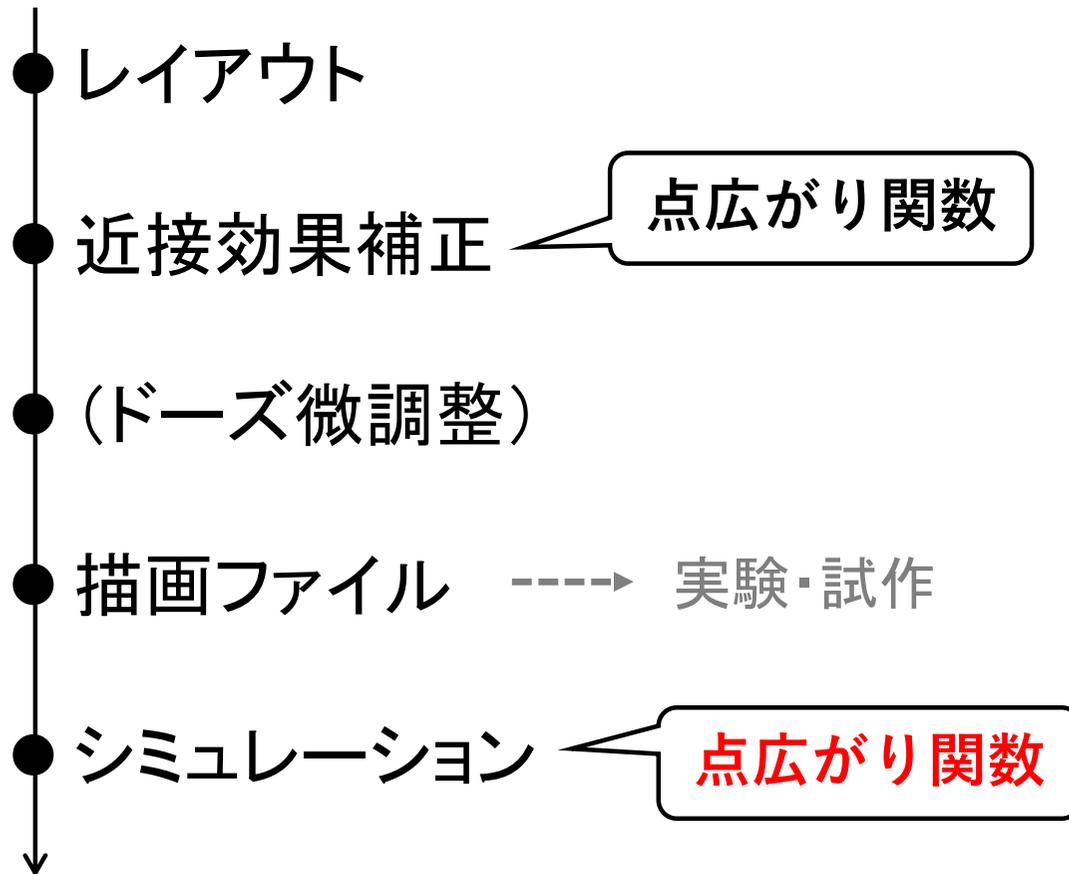


- ドット部ドーズ強調を用いることで、複数の素子構造形成を実現
- しかしながら、レイアウト毎に適切ドーズは一定ではない  
→ プロセスシミュレーションで予測できないか

# 本研究の目的

- シリコン量子の研究動向
- 高密度シリコン量子素子に向けた電子線描画技術開発
  - ネガレジストを用いた微細パターン形成技術
  - 物理形成型量子ドット素子の作製
  - プロセスシミュレーション
- 最近の取り組み

# 描画フローとプロセスシミュレーション



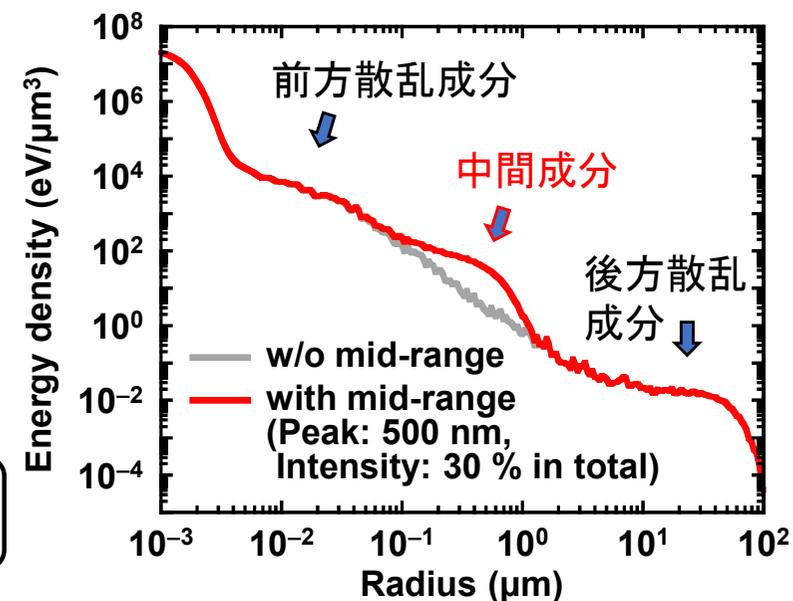
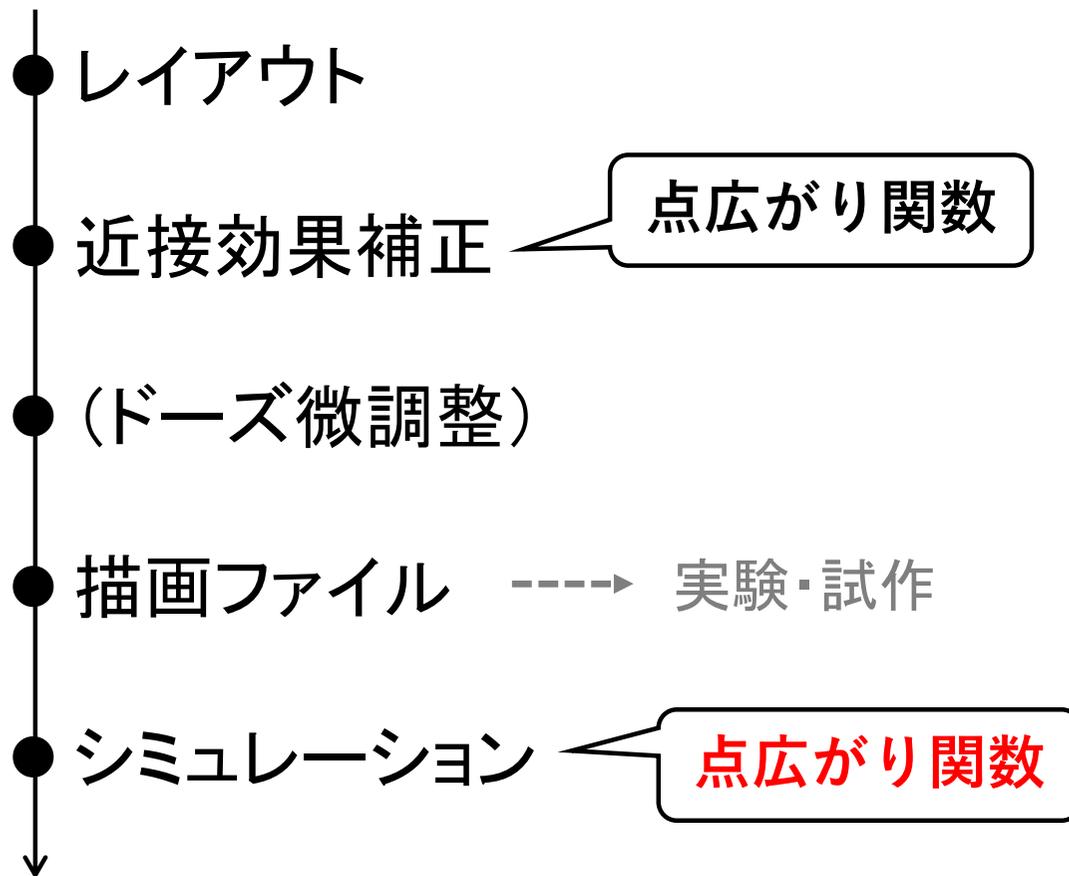
- シミュレーションに用いる点広がり関数に中間成分を導入
  - 前方散乱／後方散乱成分はモンテカルロシミュレーション (TRACER)
  - 中間成分はガウス分布を想定

# シミュレーション ~中間成分考慮の重要性~

Pad部/Dot部 ベースドーズ ( $\mu\text{C}/\text{cm}^2$ )	条件A 320/640	条件B 512/768	条件C 576/576	条件D 704/768	条件E 832/384
実験 SOIパターン  500 nm					
シミュレー ション (中間成分無)  200 nm					
シミュレー ション (中間成分有)  200 nm					

- 条件Bでキャリブレーション: パラメータ数が多く, 1条件だけなら合わせ込めてしまう.  
... 新規レイアウトに対応しきれない可能性大
- 適切な中間成分を考慮することで, 幅広いドーズ条件で実験結果を再現可能

# シミュレーション構築のインパクト



- レイアウト～描画結果予測までを短時間・低コストで行える環境
- 中間成分のさらなる高精度化でより再現性の高い描画を目指す

# 本研究の目的

- シリコン量子の研究動向
- 高密度シリコン量子素子に向けた電子線描画技術開発
  - ネガレジストを用いた微細パターン形成技術
  - 物理形成型量子ドット素子の作製
  - プロセスシミュレーション
- 最近の取り組み

# まとめ

- シリコン量子に大きな期待が集まり、世界各地で素子提案・試作・デモンストレーションが活発に行われている。
- 電子線描画は研究開発ではなくてはならないツール(初期プロダクションでも使用される可能性もあり)であり、プロセス高度化が求められる。
- 高密度レイアウトな物理形成型量子ドットを題材に、近接効果補正を最適化し、素子作製を行った。
- 電子線描画シミュレーションフローを構築した。実験結果を高精度で予測可能となり、形状予測までの高速化・低コスト化に大きく貢献する。
- 集積回路設計とも連携しながら、大規模集積化に向けて研究開発をさらに進展させていく。

# 謝辞

- 産総研シリコン量子プロジェクトメンバー（代表：森貴洋）

- 東京工業大学 溝口来成 博士, 小寺哲夫 准教授  
物理形成型シリコン量子ビット素子レイアウト



- GenISys株式会社 清水諭 様  
近接効果補正・プロセスシミュレーションソフトウェア (TRACER, BEAMER)



- Bush Clover株式会社 新関嵩 様  
描画条件構築・プロセスシミュレーション



TRACER/BEAMER, および, 電子線描画は産総研文部科学省「ナノテクノロジープラットフォーム」事業(課題支援番号: JPMXP09F21009195)の支援を受けて, 産総研ナノプロセッシング施設(NPF)において実施された.

本研究の一部は, 文科省Q-LEAP (No. JPMXS0118069228), JST CREST (No. JPMJCR1871), および, 科研費 (No. 20K14797) の支援を受けて行われた.